

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000113025 A**(43) Date of publication of application: **21.04.00**

(51) Int. Cl.

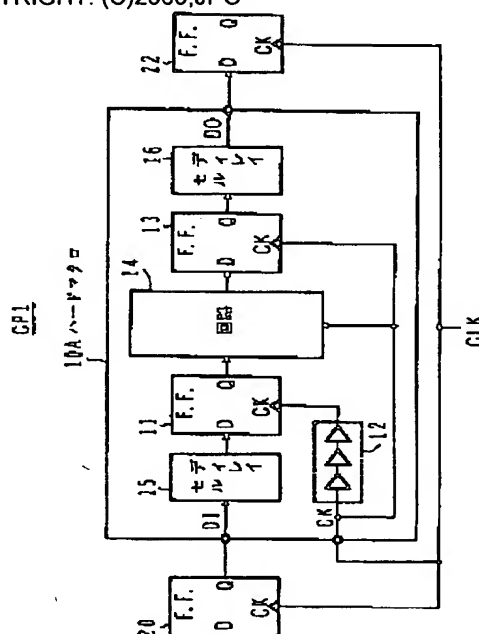
G06F 17/50
H01L 21/82(21) Application number: **10288314**(22) Date of filing: **09.10.98**(71) Applicant: **FUJITSU LTD**(72) Inventor: **ISHII YUJI**
KAWAGUCHI KUNIHIKO(54) **HARD MACRO PREPARING METHOD,
SEMICONDUCTOR CHIP DESIGNING METHOD,
AND RECORDING MEDIUM**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To more simplify a design which uses a hard macro.

SOLUTION: The input/output AC characteristics of the hard macro are previously specified, delay cells 15 and 16 are respectively provided on the input side and output side in the hard macro, and the signal propagation delay time of delay cells 15 and 16 is determined so as to satisfy this specification. This specification is made to satisfy such condition not to generate any timing error at D flip-flops 11 and 22 at the time of commonly supplying a clock CLK to the D flip-flops 20 and 22 and a clock input terminal CK of a hard macro 10A by arranging the D flip-flops 20 and 22 outside the hard macro 10A, directly connecting a data output terminal Q of the D flip-flop 20 to a data input terminal DI of the hard macro 10A and directly connecting a data input terminal D of the D flip-flop 22 to a data output terminal DO of the hard macro 10A.



P-2114

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-113025
(P2000-113025A)
(43) 公開日 平成12年4月21日(2000.4.21)

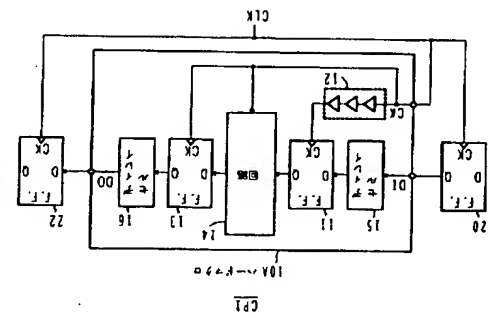
(51) Int. Cl. ⁷	識別記号	P I
G06F 17/50		G06F 15/00
H01L 21/82		H01L 21/82
		H01L 21/82

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21) 出願番号	特願平10-288314	(71) 出願人	00005223 富士通株式会社
(22) 出願日	平成10年10月9日(1998.10.9)		神奈川縣川崎市中原区上小田中4丁目1番 1号 (72) 発明者 石井 勇治 神奈川縣川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 (72) 発明者 川口 邦彦 神奈川縣川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 (74) 代理人 100092587 弁理士 松本 廣吉 Fターム(参考) 5B046 A08 BA05 BA06 DA05 JA01 5F064 B819 E547 E554 H0112

(54) 【発明の名称】 ハードマクロ作成方法、半導体チップ設計方法及び記録媒体

(57) 【要約】
【課題】ハードマクロを用いた設計をより簡便化する。
【解決手段】ハードマクロ内の入力A/C特性を予め規定しておき、ハードマクロの入出力端子及び出力端子にそれぞれダイレイセル15及び16を備え、この規定を満たすようにダイレイセル15及び16の信号伝達遅延時間を定める。この規定は、ハードマクロ10の外部にDフリップフロップ20及び22を配置しDフリップフロップ20の入力端子D1に接続し且つDフリップフロップ22のデータ入力端子Dを直接ハードマクロ10のデータ出力端子DOに接続しDフリップフロップ20及び22並びにハードマクロ10のクロック入力端子CKへ共通にクロックC1、Kを供給したときにDフリップフロップ11及び22においてタイミングエラーが生じないという条件を満たすようにする。



【請求項1】 データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、

該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しておく、

該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部同期型フリップフロップの該データ入力端との間にダイレイセルを接続する、ことを特徴とするハードマクロ作成方法、

【請求項2】 データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、

該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しておく、

該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端にダイレイセルを接続する、ことを特徴とするハードマクロ作成方法、

【請求項3】 上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ出力端を直接該ハードマクロの該データ入力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、上記タイミングエラーが生じないように上記時間間隔を定める、

ことを特徴とする請求項1又は2記載のハードマクロ作成方法、

【請求項4】 データ出力端及びクロック入力端を備え、該データ出力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、

該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端で信号のエッジ時点との時間間隔を規定しておく、

該規定を満たすように該ハードマクロの該データ出力端と該内部同期型フリップフロップの該データ出力端との間にダイレイセルを接続する、

【請求項5】 上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ入力端を直接該ハードマクロの該データ出力端に接

【請求項6】 上記ダイレイセルとして遅延バッファゲートを用いることを特徴とする請求項1乃至5のいずれか一つに記載のハードマクロ作成方法、

【請求項7】 上記ダイレイセルとして配線を用い、該配線の長さにより上記信号伝達遅延時間を定めることを特徴とする請求項1乃至5のいずれか一つに記載のハードマクロ作成方法、

【請求項8】 上記ダイレイセルとして遅延バッファゲート及びこれに接続された配線を用い、該配線の長さにより上記信号伝達遅延時間を調整することを特徴とする請求項1乃至5のいずれか一つに記載のハードマクロ作成方法、

【請求項9】 データ入力端、データ出力端及びクロック入力端を備え、該データ入力端が、直接又は第1組合せ回路を介して内部第1同期型フリップフロップのデータ入力端に接続され、該データ出力端が、直接又は第2組合せ回路を介して内部第2同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、

該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との第1時間間隔を規定しておく、

該規定を満たす場合に該内部第1同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部第1同期型フリップフロップの該データ入力端との間に第1ダイレイセルを接続し、

該ハードマクロの該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端に供給される信号のエッジ時点との第2時間間隔を規定しておく、

該規定を満たすように該ハードマクロの該データ出力端と該内部第2同期型フリップフロップの該データ出力端との間に第2ダイレイセルを接続する、

【請求項10】 データ入力端、データ出力端及びクロック入力端を備え、該データ入力端が、直接又は第1組合せ回路を介して内部第1同期型フリップフロップのデータ入力端に接続され、該データ出力端が、直接又は第2組合せ回路を介して内部第2同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、

該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端に供給される信号のアクティブエッジ時点との第1時間間隔を規定しておく、

該規定を満たすように該ハードマクロの該データ出力端と該内部第2同期型フリップフロップの該データ出力端との間に第2ダイレイセルを接続する、

入力端に供給される信号のエッジ時点との第1時間間隔を規定しており、
該規定を満たす場合に該内部第1同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端と該内部第1同期型フリップフロップの該クロック入力端との間に第1ディレイセルを接続し、

【発明の要約】ハードマクロは、所望の機能を有し最速設計が行われ固定されたマスクパターンを備えた回路モジュールであり、記憶装置内のセルライブラリに登録される、半導体チップ設計段階でそのままだ部品として使用される。ユーザは、ハードマクロをセルライブラリ中の他のセルと同様に取り扱うことができ、ハードマクロを半導体チップ設計で採用することにより、半導体チップの論理設計、論理検証、回路合成及びレイアウト設計を簡略化することが可能となり、設計工数を大幅に削減することが期待できる。

【0003】図7は、従来のハードマクロ10の良例を示す概略回路図である。

【0004】ハードマクロ10のデータ入力端D1はフリップフロップ11のデータ入力端Dに接続され、ハードマクロ10のクロック入力端CKはバッファゲート12を介してフリップフロップ11のクロック入力端CKに接続されている。ハードマクロ10のデータ出力端DOはフリップフロップ13のデータ出力端Qに接続され、フリップフロップ13のクロック入力端CKに接続されている。フリップフロップ11と13との間には、ハードマクロ10が所望の機能を実装するための回路14が接続されている。回路14は、クロックC1.Kに同期し又は同期せずに動作する。

【0005】図8は、このハードマクロ10を用いて半導体チップC.P.O上に設計された回路の一部を示す図である。

【0006】ハードマクロ10の内部では既にタイミング調整が行われている。しかし、ハードマクロ10を作成する段階ではハードマクロ10にどのような回路が接続されるか不明である。そこで、半導体チップ設計においてハードマクロ10を採用した場合には、ハードマクロ10とその外部回路との間でタイミング調整を行う必要がある。

【0007】図8では、このタイミング調整のために、フリップフロップ20のデータ出力端Qとハードマクロ10のデータ入力端D1との間にディレイセル21が接続され、ハードマクロ10のデータ出力端DOとフリップフロップ22のデータ入力端Dとの間にディレイセル23が接続されている。ハードマクロ10、フリップフロップ20及び22のクロック入力端CKには、クロックC1.Kが共通に供給されている。

【0008】
【発明が解決しようとする課題】従来のハードマクロ10

【請求項1】 請求項1乃至14のいずれか1つに記載の方法で作成されたハードマクロを用いて半導体チップ設計を行う、
【請求項15】 請求項1乃至14のいずれか1つに記載の方法で作成されたハードマクロを用いて半導体チップ設計を行う、
【請求項16】 請求項1乃至14のいずれか1つに記載の方法で作成されたハードマクロの構成を表すデータが記録されていることを特徴とする記録媒体、
【発明の詳細な説明】

【0001】

0は、外部AC特性につき明確な規定を設けて設計されていないか、このようなハードマクロ10を用いて設計すると、チップレイアウト設計後のタイミングゲージチェックにおいて、ハードマクロ10の入出力付近でタイミングエラーが発生する可能性が高かった。このため、レイアウト設計後にディレイセルの挿入や削除を行うことでこのタイミングエラーを無くする作業が発生し、設計時間が長くなる原因となっていた。

【0009】本発明の目的は、このような問題点を鑑み、ハードマクロを用いた設計をより簡便化することが可能なハードマクロ作成方法、半導体チップ設計方法及び記録媒体を提供することにある。

【0010】

【課題を解決するための手段及びその作用効果】請求項1では、データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロのデータ入力端に供給される信号のエッジ時点との時間間隔を規定しており、該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部同期型フリップフロップの該データ入力端との間にディレイセルを接続する。

【0011】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入力端と外部回路との間に、ディレイセルを挿入する必要があるなり又は所定の遅延時間を持つたディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が高められ、設計期間をより短縮することが可能となる。

【0012】請求項2では、データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しており、該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端にディレイセルを接続する。

【0013】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入力端と外部回路との間に、ディレイセルを挿入する必要があるなり又は所定の遅延時間を持つたディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が高められ、設計期間をより短縮することが可能となる。

【0014】請求項3のハードマクロ作成方法では、請

請求項1又は2において、上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ出力端を直接該ハードマクロの該データ入力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、上記タイミングエラーが生じないように上記時間間隔を定める。

【0015】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入力端と外部回路との間にディレイセルを挿入する必要があるなくなり、設計が簡略化されるというハードマクロ使用の利点が高められ、設計期間をより短縮することが可能となる。

【0016】請求項4では、データ出力端及びクロック入力端を備え、該データ出力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端の信号のエッジ時点との時間間隔を規定しており、該規定を満たすように該ハードマクロの該データ出力端と該内部同期型フリップフロップの該データ出力端との間にディレイセルを接続する。

【0017】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ出力端と外部回路との間に、ディレイセルを挿入する必要があるなり又は所定の遅延時間を持つたディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が高められ、設計期間をより短縮することが可能となる。

【0018】請求項5のハードマクロ作成方法では、請求項4において、上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ入力端を直接該ハードマクロの該データ出力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、該外部同期型フリップフロップでタイミングエラーが生じないように上記時間間隔を定める。

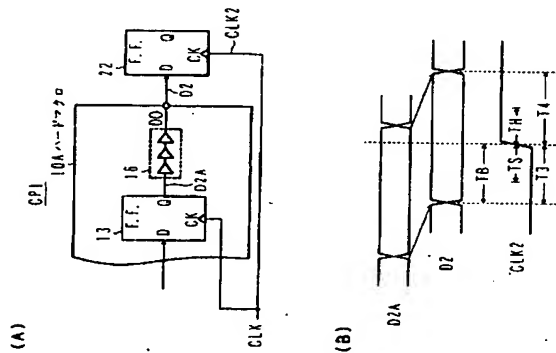
【0019】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ出力端と外部回路との間にディレイセルを挿入する必要があるなくなり、設計が簡略化されるというハードマクロ使用の利点が高められ、設計期間をより短縮することが可能となる。

【0020】請求項6のハードマクロ作成方法では、請求項1乃至5のいずれか1つにおいて、上記ディレイセルとして遅延バッファゲートを有するものを用いる。

【0021】請求項7のハードマクロ作成方法では、請求項1乃至5のいずれか1つにおいて、上記ディレイセルとして配線を用い、該配線の長さにより上記遅延特性

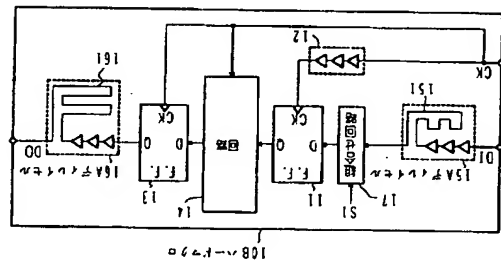
【図4】

(A)は図2中の出力側デレイセルの構成例及びその近辺の回路を示す図であり、(B)は(A)の回路のタイミングチャート



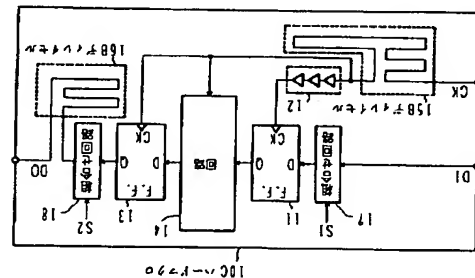
【図5】

本発明の第2実施形態のハードウェアの回路構成を示す回路図



【図6】

本発明の第3実施形態のハードウェアの回路構成を示す回路図



【図8】

図7のハードウェアを用いて半導体チップ上に設計された回路の一部を示す図

